

(19) JAPANESE PATENT OFFICE (JP)

(12) PUBLICATION OF UNEXAMINED (KOKAI) PATENT APPLICATION (A)

(11) Kokai (Unexamined Patent) Number: 57-12557

(43) Date of Disclosure: January 22, 1982

(51) Int. Cl. <sup>3</sup>	Identif. Symbol	Intra-Office Number
H 01 L 29/78		6603-5F
29/06		7514-5F

Examination Requested: Not Requested  
Number of Inventions: 1 (total of 3 pages)

---

(54) HIGH VOLTAGE RESISTANT MOS TRANSISTOR

- (21) Application Number: 55-86879
- (22) Filing Date: June 25, 1980
- (72) Inventor: Takehiko Tanaka  
c/o Sanyo Electric Co., Ltd,  
Gunma-ken, Kokubunji-shi, Oaraki-to  
Oizumi-cho Oaza, 1-chome, 180-bango
- (72) Tsutomu Nozaki  
c/o Sanyo Electric Co., Ltd,  
Gunma-ken, Kokubunji-shi, Oaraki-to  
Oizumi-cho Oaza, 1-chome, 180-bango
- (71) Applicant: Sanyo Electric Co. Ltd.  
Gunma-ken, Kokubunji-shi, Oaraki-to  
Oizumi-cho Oaza, 1-chome, 180-bango
- (71) Tokyo Sanyo Electric Co., Ltd.  
Moriguchi-shi, Kyosakamoto Dori  
2-chome, 18-banchi
- (74) Representative: Takao Sano, patent attorney

## SPECIFICATIONS

### 1. Title of the Invention: High Voltage Resistant MOS Transistor

### 2. Scope of the Patent's Claims:

1. A high voltage resistant MOS transistor, characterized by the fact that it is equipped with a source and drain region of the second conductive type, formed in the shape of a comb and mutually separated from a semiconductor substrate of the first conductive type,

a low impurity concentration region of the second conductive type formed on the side of said drain region,

as well as a channel region, formed between said low impurity concentration region and said source region,

wherein the channel length of a curved part of the channel region, formed in the front end part of said source region, is longer than said curved part of the drain region.

### 3. Detailed Explanation of the Invention

This invention relates to a MOS transistor construction with a drain which is highly resistant to voltage.

Because MOS transistors have generally a much higher switching speed when compared to bipolar transistors, they are used mainly as power elements and high-frequency elements having a positive coefficient of input characteristics.

Figure 1 shows a profile view of a common MOS transistor. As shown in Figure 1, (1) indicates a P type silicon substrate, (2) and (3) are N<sup>+</sup> type source and drain regions, respectively, (4) is a gate oxide film, and numbers (5), (6), and (7) indicate a source electrode, a drain electrode, and a gate electrode. In addition, the part shown in Figure 1 by the broken line indicates an equipotential line when a drain voltage is applied. Although the drain voltage is limited by the junction withstand voltage of drain region (3) and substrate (1), one can clearly see from the equipotential line that in reality, the voltage is determined depending on the concentration of the electric current in the vicinity of the surface of drain region (3), which depends on the combined influence of gate electrode (7) and drain region (3). When gate oxide film (4) is approximately 1,000 Å thick, the drain voltage resistance will reach only about 50 V.

Figure 2 is a profile view showing the construction of a MOS transistor characterized by an improved drain voltage resistance. Number (8) is a P type silicon substrate, numbers (9) and (10) indicate an N<sup>+</sup> type source and drain region, respectively, (11), (12), and (13) are a source electrode, a drain electrode, and a gate electrode, respectively, and an N<sup>-</sup> type low impurity

concentration region (15) is created in the direction from drain region (10) to channel region (14).

[page 2]

Depending on the formation of this low impurity concentration region (15), the equipotential line can be extended in the direction of channel region (14) as shown by the broken line, which makes it possible to increase the drain resistance voltage from 300 V to 400 V by preventing electric current concentration in the vicinity of the surface of drain region (10). This low impurity concentration region (15) is commonly called a drift channel.

On the other hand, although it is possible to increase the gate width W and to shorten the gate length L based on  $gm \propto W/L$  in order to obtain a high reciprocal conductance gm (W is the gate width and L is the gate length), since the length of the gate cannot be too short, normally, it is formed in the range of  $2 \sim 7 \mu$ . Therefore, it is known that a comb shaped construction can be used for the source and drain region in order to increase the width of the gate. Figure 3 shows a partial surface view of such a MOS transistor. As shown in Figure 3, (16) indicates a P type silicon substrate, (17) and (18) are an  $N^+$  conductive type source region and drain region, respectively, (19) is an  $N^-$  conductive type low impurity concentration region and (20) is a channel region. Source region (17) and drain region (18) are combined so as to form together a comb shape. Accordingly, it is possible to increase the gate width because channel region 20 is formed in a zigzag shape.

However, since the lines of electric force are concentrated as shown by the channel marks in the direction toward the front end part of channel area (20) of protruding area (17) from the vicinity of the base of the comb shape of drain area (18), it is not possible to improve the status of the breakdown electric current and breakdown voltage which is caused by a breakdown yield status in the boundary between the low impurity concentration area (19) and the curved part of channel area (20). As shown in Figure 5 which is a graph indicating the yield breakdown, at the point when the drain breakdown voltage  $V_{DSS}$  is applied, a yield breakdown will be generated by electric current in the point indicated by point a, and at this time, the electric current will be characterized by a breakdown current  $I_{BR(P)}$ . In the construction which is shown in Figure 3, the breakdown voltage  $V_{DSS}$  is approximately in the range of 300 V ~ 400 V and the breakdown current  $I_{BR(P)}$  is approximately in the range of 1 ~ 3 mA.

In view of the above described problems, this invention provides a highly voltage resistant MOS transistor which eliminates the above described disadvantages. The following is a detailed explanation of this invention which is based on the enclosed figures.

Figure 4 shows a partial top view of one embodiment of this invention. In this figure, (21) indicates a P type silicon substrate, (22) and (23) are an  $N^+$  conductive type source and drain region, respectively, (24) is an  $N^-$  conductive type low impurity concentration region, and (25) is a channel region.

Layer resistance  $R_s$  in the range of approximately  $10 \sim 20 \Omega$  is used in P type silicon

substrate 21. Low impurity concentration region (24), which can be formed by epitaxial growth or ion implantation, etc., forms a layer having resistance  $R_s = 8 \Omega \text{ cm}$ , with a depth of about  $20 \mu$ . On the other hand, source region (22) and drain region (23) are formed by diffusion so that they both create a combined comb shape. Channel region (25) between them is formed with an implanted impurity of the P type created by ion implantation, making it possible to control a specific channel concentration. The channel length of channel region (25) is  $3 \mu$  and the channel is formed with a width of 120 nm.

In addition, the front end part of source region (22) is formed with a sufficiently larger corresponding curve  $R'$  of channel region (25) than the curve of the curved part in the base of drain region (23), and length  $l'$  of the low impurity concentration region (24) from drain region (23) to channel region (25) is longer than length  $l$ . Due to this formation, the electric force lines will be created longer from the base of drain region (23) toward the curved part of channel region (25), and the electric field will be weakened in this part, which prevents concentration of electric current.

Figure 6 is a graph showing the results of a case when the lengths  $R' = 10 \mu, 20 \mu$  are used. When  $R' = 10 \mu$ , the breakdown voltage  $V_{DSS}$  will be about 430 V, and the breakdown current  $I_{BR(P)}$  will be  $8 \text{ mA} \sim 20 \text{ mA}$ . When  $R' = 20 \mu$ , the breakdown voltage  $V_{DSS}$  will be about 450 V and the breakdown current  $I_{BR(P)}$  will be about  $15 \text{ mA} \sim 30 \text{ mA}$ . Accordingly, as one can see clearly from the results shown in Figure 6, breakdown voltage  $V_{DSS}$  can be increased above 400 V and a high voltage resistance design can be achieved while the breakdown current  $I_{BR(P)}$  at can be also greatly improved at the same time.

As was explained above, when a sufficiently greater curve ratio of the curved part corresponding to the drain region is used with a corresponding curve ratio of the channel region formed in the front end part of the source region in this invention, the breakdown voltage and the breakdown current can be greatly improved because this makes it possible to prevent concentration of electric current in the boundary between the curved channel region and the low impurity concentration region.

#### 4. Brief Explanation of Figures

Figure 1 shows a partial profile view of an example of prior art, Figure 2 shows a partial profile view of an improved example of prior art, Figure 3 shows a top view of a MOS transistor according to prior art, Figure 4 shows a top view indicating an embodiment of this invention,

[page 3]

Figure 5 is a graph explaining the relationship between breakdown voltage  $V_{DSS}$  and breakdown current  $I_{BR(P)}$ , and Figure 6 is a graph indicating the results of a test of the embodiment shown in Figure 4.

(21) ... P-type silicon substrate, (22) ... source region, (23) ... drain region, (24) ... low impurity concentration region, (25) ... channel region.

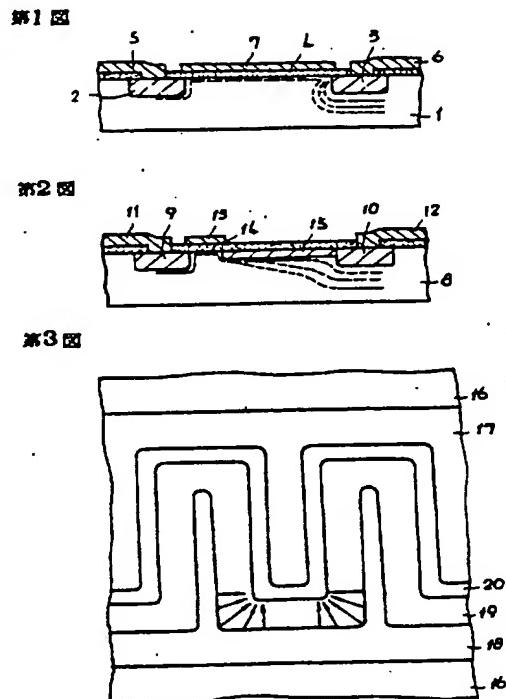
Patent Applicant:Sanyo Electric Co., Ltd., 1 other name

Representative:

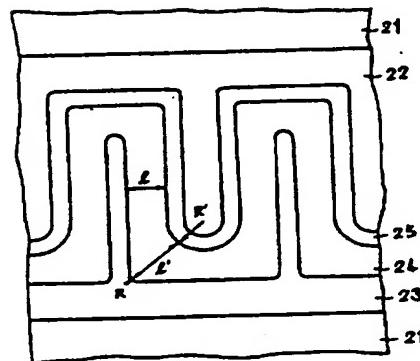
Takao Sano, patent attorney.

昭和57-12557(3)

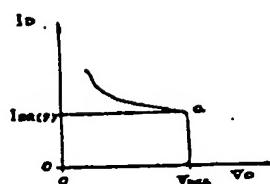
(Figure 1, 2, 3; 4, 5, and 6)



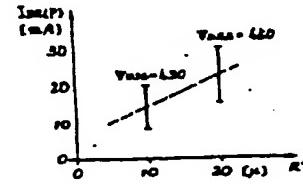
第4図



第5図



第6図



⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭57-12557

53 Int. Cl.<sup>3</sup>  
H 01 L 29/78  
29/06

識別記号

府内整理番号  
6603-5F  
7514-5F

⑫ 公開 昭和57年(1982)1月22日  
発明の数 1  
審査請求 未請求

(全 3 頁)

50 高耐圧MOSトランジスタ

特 願 昭55-86878  
出 願 昭55(1980)6月25日  
發明者 田中忠彦  
群馬県邑楽郡大泉町大字坂田18  
0番地東京三洋電機株式会社内  
發明者 野崎勉

群馬県邑楽郡大泉町大字坂田18  
0番地東京三洋電機株式会社内  
出願人 三洋電機株式会社  
守口市京阪本通2丁目18番地  
出願人 東京三洋電機株式会社  
群馬県邑楽郡大泉町大字坂田18  
0番地  
代理 人 弁理士 佐野静夫

明細書

1. 発明の名称 高耐圧MOSトランジスタ
2. 特許請求の範囲

1. 第1導電型半導体基体上に互いに離れて複数に形成された第2導電型のソース、ドレイン領域と、該ドレイン領域間に形成された第2導電型の低不純物濃度領域と、該低不純物濃度領域と前記ソース領域との間に形成されたチャンネル領域とを備え、前記ソース領域の先端部に形成されたチャンネル領域の曲折部の曲率を対応する前記ドレイン領域の曲率よりも十分大きく形成することを特徴とする高耐圧MOSトランジスタ。

3. 発明の詳細な説明

本発明はドレイン耐圧の高いMOSトランジスタの構造に関するものである。

一般にMOSトランジスタはスイッチングスピードがバイポーラトランジスタに比べて非常に早く、入力特性が正の保証を持っている為主に高周波電子及びパワー用電子として用いられる。

通常のMOSトランジスタの断面構造を第1図

に示す。第1図に於いて、(1)はP型シリコン基板、(2)(3)はそれぞれN+導電型を有するソース、ドレイン領域、(4)はゲート酸化膜、(5)(6)(7)はそれぞれソース電極、ドレイン電極、ゲート電極を示す。また第1図中に示された破線はドレイン耐圧を印加した場合の等電位線である、ドレイン耐圧はドレイン領域(3)と基板(1)との接合耐圧で制限されるが、実際には等電位線から明らかに様に、ゲート電極(7)とドレイン領域(3)との重なりに依って生じるドレイン領域(3)表面近傍の電荷集中に依って決定され、ゲート酸化膜(4)が1000A程度の場合にはドレイン耐圧は50V程度にしかならない。

第2図はドレイン耐圧を向上させたN-SOTラッシュトランジスタの断面構造であり、(8)はP型シリコン基板、(9)(10)はそれぞれN+導電型のソース、ドレイン領域、(11)(12)はそれぞれソース電極、ドレイン電極、ゲート電極であり、ドレイン領域(10)からチャンネル領域(10)方向にN-型の低不純物濃度領域(10)が設けられている。この低不純物濃度領域(10)を形成することに依り、等電位線は破線で示される

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

如くチャネル領域④に延在され、ドレイン領域③表面近傍の電流集中が防止されドレイン耐圧は300Vから400V程度まで向上する。この低不純物濃度領域④は一般にドリフトチャネルと呼ばれている。

一方高い相互コンダクタンスをもつて居るためには $S = \frac{W}{L}$  ( $W$ はゲート幅、 $L$ はゲート長)よりゲート長 $L$ を短かくしゲート幅 $W$ を大きくすれば良いが、ゲート長 $L$ はあまり領域④に短かくすることは出来ず通常2~7μm程度に形成される、そこでゲート幅を大きくするためにソース、ドレイン領域を樹形に形成する構造が知られている。第3図はMOSトランジスタの一剖面図である。第3図に於いて、①はP型シリコン基板、②③はそれぞれN<sup>+</sup>導電型のソース、ドレイン領域、④はN<sup>-</sup>導電型の低不純物濃度領域、⑤はチャネル領域であり、ソース領域②及びドレイン領域③はそれぞれ樹形に形成され組合せられている。従ってチャネル領域④はジグザグに形成されるのでゲート幅を大きくすることができる。しかしドリ

P型シリコン基板①には層抵抗 $R_s$ が10~20Ωμ程度のものが使用され、低不純物濃度領域④はエピタキシャル成長あるいはイオン注入等に依って層抵抗 $R_s = 8\Omega\mu$ 、深さ20μm程度に形成される。一方ソース領域②及びドレイン領域③は互いに組合せられた樹形の形状で並列に依って形成され、その間のチャネル領域④はイオン注入に依ってP型不純物が注入され、所定のチャネル濃度となる様制御される。このチャネル領域④はチャネル長が3μm、幅が12μmとなっている。

またソース領域②の先端部に於いて、チャネル領域④の曲折部の曲率 $R'$ を対応するドレイン領域③の根元での曲折部の曲率 $R$ より十分大きく形成し、ドレイン領域④からチャネル領域④までの低不純物濃度領域④の長さ $L'$ を他の部分の長さ $L$ より長くする。この様に形成することに依り、ドレイン領域④の根元からチャネル領域④の曲折部に向う電気力線が長くなりこの部分での電界が弱まり、電流集中が防止される。

イ： 負側の極形の根元付近からソース領域②突出した先端部のチャネル領域④に向かって印で示される如く電気力線が集中し、チャネル領域④の曲折部と低不純物濃度領域④との境界破壊を生じ、降伏電圧及び降伏電流を向上することができた。降伏破壊は第5図に示すグラフに於いて、ドレインに降伏電圧 $V_{DSS}$ を印加した時、(P)で示される電流で降伏破壊を生じ、この時の電流が降伏電流 $I_{BS}(P)$ である。第3図に示される構造では降伏電圧 $V_{DSS}$ は300V~400V程度であり、降伏電流 $I_{BS}(P)$ は1~3mA程度であった。

本発明は上述した点に鑑みて為されたものであり、従来の欠点を除去した高耐圧MOSトランジスタを提供するものである。以下図面を参照して本発明を詳細に説明する。

第4図は本発明の実施例を示す一剖面図であり、①はP型シリコン基板、②③はそれぞれN<sup>+</sup>導電型のソース、ドレイン領域、④はN<sup>-</sup>導電型の低不純物濃度領域、⑤はチャネル領域である。

第6図は曲率 $R' = 10\mu$ 、 $20\mu$ とした場合の実験結果である。 $R' = 10\mu$ の場合には降伏電圧 $V_{DSS}$ は430V程度、降伏電流 $I_{BS}(P)$ は8mA~20mA、 $R' = 20\mu$ の場合には降伏電圧 $V_{DSS}$ は450V程度、降伏電流 $I_{BS}(P)$ は15mA~30mAになる。従って第6図の結果からも明らかに如く、降伏電圧 $V_{DSS}$ は共に400V以上となり高耐圧化されると共に、降伏電流 $I_{BS}(P)$ も大幅に向上している。

上述の如く本発明に依ればソース領域の先端部に形成されたチャネル領域の曲折部の曲率を対応するドレイン領域の曲率より十分大きく形成し、ドレイン領域④からチャネル領域④までの低不純物濃度領域④の長さ $L'$ を他の部分の長さ $L$ より長くする。この様に形成することに依り、ドレイン領域④の根元からチャネル領域④の曲折部に向う電気力線が長くなりこの部分での電界が弱まり、電流集中が防止される。

#### 4. 図面の簡単な説明

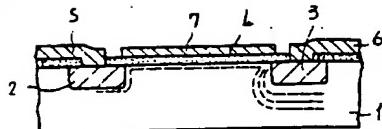
第1図は従来例を示す一剖面図、第2図は従来例の改良された一剖面図、第3図は従来のMOSトランジスタの表面図、第4図は本発明の実

施例を示す表面図、第5図は降伏電圧  $V_{DSS}$  と  
降伏電流  $I_{BBLP}$  の関係を示すグラフ、第6図は  
第4図に示した実験例の実験結果を示すグラフで  
ある。

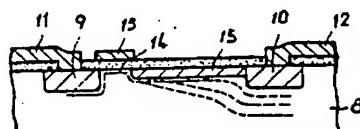
四……P型シリコン基板、四……ソース領域、  
四……ドレイン領域、四……低不純物濃度領域、  
四……チャンネル領域。

出願人 三洋電機株式会社 外1名  
代理人 井理士佐野勝天

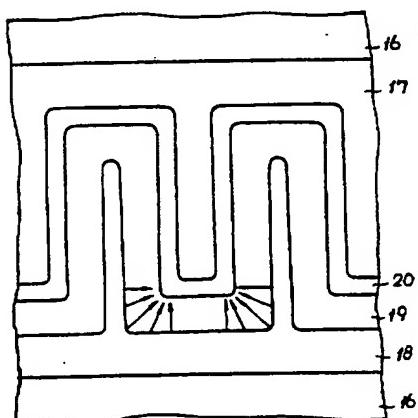
第1図



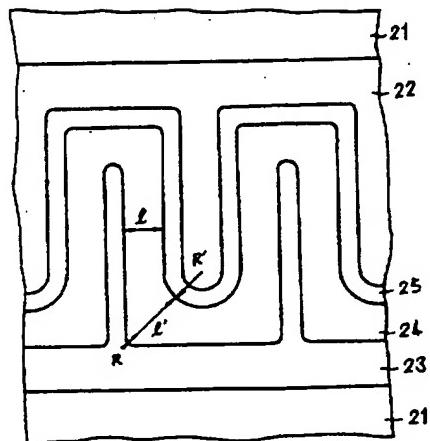
第2図



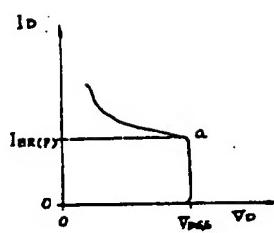
第3図



第4図



第5図



第6図

